

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002009347 A**

(43) Date of publication of application: **11.01.02**

(51) Int. Cl. **H01L 33/00**
// H01L 21/60
H01L 23/12

(21) Application number: **2000191101**

(22) Date of filing: **26.06.00**

(71) Applicant: **KOHA CO LTD TOYODA GOSEI**
CO LTD KANTO KASEI KOGYO
KK

(72) Inventor: **TEJIMA MASATAKA**
MITSUMIZO HIROSHI
KUROYAMA TOSHINOBU
ISHIDA TAKUYA
YANAGISAWA HIDEO
KIKUKAWA YUSUKE

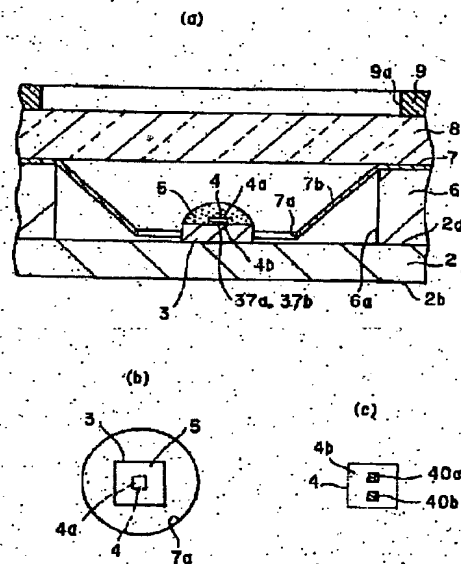
(54) **LED LIGHT SOURCE AND ITS MANUFACTURING METHOD**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a LED light source having high emission efficiency, excellent productivity, high accuracy and high degree of freedom in the shape and material of a sealing member, and its manufacturing method.

SOLUTION: A plurality of LED chips 4 are mounted on a mother substrate 2 through a submount substrate 3. The LED chip 4 has a pair of positive and negative electrodes 4a, 4b on the side facing the submount substrate 3 and the pair of electrodes 4a, 4b are connected with the submount substrate 3 through a pair of bumps 37a, 37b formed by plating.

COPYRIGHT: (C)2002,JPO



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-9347

(P2002-9347A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl.	識別記号	F I	テ-マコード* (参考)
H 0 1 L 33/00		H 0 1 L 33/00	N 5 F 0 4 1
// H 0 1 L 21/60	3 1 1	21/60	3 1 1 S 5 F 0 4 4
23/12		23/12	F

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21) 出願番号 特願2000-191101(P2000-191101)

(22) 出願日 平成12年6月26日 (2000.6.26)

(71) 出願人 000153236

株式会社光波

東京都練馬区東大泉4丁目26番11号

(71) 出願人 000241463

豊田合成株式会社

愛知県西春日井郡春日町大字落合字長畑1番地

(71) 出願人 000157049

関東化成工業株式会社

神奈川県横須賀市池田町4丁目73番地

(74) 代理人 100071526

弁理士 平田 忠雄

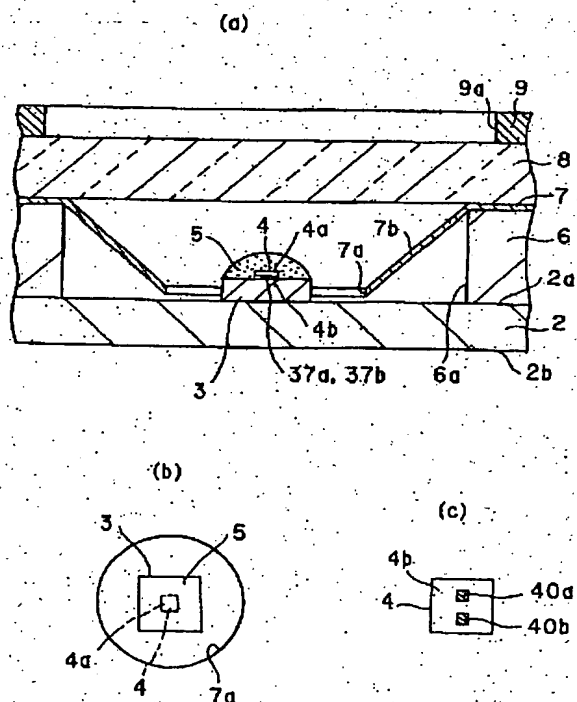
最終頁に続く

(54) 【発明の名称】 LED光源およびその製造方法

(57) 【要約】

【課題】 発光効率が高く、生産性に優れ、高精度で、封止部材の形状や材質の自由度が高いLED光源およびその製造方法を提供する。

【解決手段】 この装置は、マザー基板2上に、サブマウント基板3を介して複数のLEDチップ4を搭載したもので、LEDチップ4は、サブマウント基板3に対向する面側に正負一對の電極4a、4bを有し、一對の電極4a、4bがメッキによって形成された一對のバンプ37a、37bを介してサブマウント基板3に接続されている。



【特許請求の範囲】

【請求項1】絶縁基材の裏面に形成された正負一對の裏リード、および前記絶縁基材の表面に前記一對の裏リードに一對の金属接続部によって接続された正負一對の表リードを有する基板と、

前記基板に対向する面側に正負一對の電極を有し、前記一對の電極が一對の接合用バンパを介して前記基板の前記一對の表リードに接続されたLEDチップとを備え、前記一對の接合用バンパは、メッキによって前記一對の表リード上に形成されたことを特徴とするLED光源。

【請求項2】前記一對の接合用バンパは、前記一對の接合用バンパが配列された方向に垂直な方向に長い楕円形あるいは長円形を有する構成の請求項1記載のLED光源。

【請求項3】前記一對の接合用バンパは、超音波振動による接合の際の超音波振動方向に垂直な方向に長い楕円形あるいは長円形を有する構成の請求項1記載のLED光源。

【請求項4】前記一對の表リードは、前記一對の接合用バンパに対して所定の位置関係を有する自動認識用のバンパが前記一對の接合用バンパとメッキによって一括で形成された構成の請求項1記載のLED光源。

【請求項5】前記一對の表リードは、前記表面の前記LEDチップが搭載される領域以外の領域に電圧を印加して前記LEDチップの特性を検査するための一對の検査用領域を有する構成の請求項1記載のLED光源。

【請求項6】前記LEDチップは、所定の外形形状によって前記LEDチップが発する光に所定の配光特性を付与する透明樹脂からなる封止部材によって封止された構成の請求項1記載のLED光源。

【請求項7】前記基板は、四角形状を有し、前記封止部材は、底面が前記基板の四角形状に対応した四角形状を有し、先端部が球状を有する構成の請求項6記載のLED光源。

【請求項8】前記一對の金属接続部は、一對のスルーホールめっきである構成の請求項1記載のLED光源。

【請求項9】前記基板は、前記表面の前記LEDチップが搭載される領域以外の領域に、前記一對の接合用バンパを介して前記LEDチップが搭載された前記基板をハンドリングするための吸着面を有する構成の請求項1記載のLED光源。

【請求項10】絶縁基材の裏面に正負一對の裏リード、および前記絶縁基材の表面に前記一對の裏リードに一對の金属接続部により接続された正負一對の表リードを複数組有する集合基板を形成し、

前記集合基板の複数組の前記一對の表リードに一對の接合用バンパをそれぞれ形成し、1つの面側に正負一對の電極を有する複数のLEDチップを、前記一對の電極を前記一對のバンパに接続して前記集合基板上に搭載し、前記複数のLEDチップが搭載された前記集合基板を

LEDチップ毎に分割することを特徴とするLED光源の製造方法。

【請求項11】前記複数組の一對の接合用バンパの形成は、メッキによって形成する構成の請求項10記載のLED光源の製造方法。

【請求項12】前記集合基板への複数組の前記一對の接合用バンパの形成は、前記一對の接合用バンパに対して所定の位置関係を有する自動認識用のバンパの形成を含む構成の請求項10記載のLED光源の製造方法。

10 【請求項13】前記複数組の一對の接合用バンパ、および前記自動認識用のバンパの形成は、メッキによって一括して形成する構成の請求項12記載のLED光源の製造方法。

【請求項14】前記複数のLEDチップの前記集合基板上への搭載は、所定の外形形状によって前記LEDチップが発する光に所定の配光特性を付与する透明樹脂からなる複数の封止部材によって前記複数のLEDチップを封止する工程を含む構成の請求項10記載のLED光源の製造方法。

20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上にLED (Light Emitting Diode: 発光ダイオード) チップを搭載したLED光源およびその製造方法に関し、特に、発光効率が高く、生産性に優れ、高精度で、封止部材の形状や材質の自由度が高いLED光源およびその製造方法に関する。

【0002】

30 【従来の技術】従来のLED光源として、例えば、特開平11-168235号公報に示されるものがある。

【0003】図9は、そのLED光源を示す。このLED光源は、基材101上に正負一對のリード110A、110Bが形成されたLED搭載用基板100と、一對のリード110A、110Bに、基板製作工程とは別工程にて個々に形成された金、はんだ等からなる一對のバンパ120a、120bを介して接続されたLEDチップ130と、LEDチップ130を封止する透明樹脂140と、アンダーフィル樹脂150とを有する。一對のリード110A、110Bは、基材101の表面101aから側面101bを経て裏面101cに延在して形成されている。LEDチップ130は、光出射面となる上面130aと反対側の下面130bには反射層131、および図示しない正負一對の電極が形成されており、一對の電極は一對のバンパ120a、120bを介して一對のリード110A、110Bに接続されている。また、LEDチップ130が搭載されたLED搭載用基板100をメイン基板上に実装する場合は、LEDチップ130の上面130aを吸着したのではバンパ120a、120bが剥離されるおそれがあることから、ある程度程度の硬度を有する透明樹脂140の平坦な上面を吸着

3

してハンドリングしている。このような構成によれば、LEDチップ130の光出射面には電極を設けていないため、発光効率の向上が図れる。

【0004】

【発明が解決しようとする課題】しかし、従来のLED光源によると、バンプは、金、はんだ等の細線を球状にし、バンプボンダーによって一つ一つ圧接して形成されるなど、生産性が悪く、また、ボールバンプを形成する際にリードパターンを基準に位置決めしているため、リードパターンのエッジのだれやパターンずれ等により位置精度が出し難い。また、LEDチップが搭載されたLED搭載用基板をハンドリングするために、ある程度の硬度を有し、上面が平坦な透明樹脂140を予め設けなければならないため、透明樹脂の形状や材質が制限される。

【0005】従って、本発明の目的は、発光効率が高く、生産性に優れ、高精度のLED光源およびその製造方法を提供することにある。また、本発明の他の目的は、封止部材の形状や材質の自由度が高いLED光源およびその製造方法を提供することにある。

【0006】

【課題を解決するための手段】本発明は、上記目的を達成するため、絶縁基材の裏面に形成された正負一對の裏リード、および前記絶縁基材の表面に前記一對の裏リードに一對の金属接続部によって接続された正負一對の表リードを有する基板と、前記基板に対向する面側に正負一對の電極を有し、前記一對の電極が一對の接合用バンプを介して前記基板の前記一對の表リードに接続されたLEDチップとを備え、前記一對の接合用バンプは、メッキによって前記一對の表リード上に形成されたことを特徴とするLED光源を提供する。上記構成によれば、複数のLEDチップからの光は、電極が設けられていない光出射面から出射される。また、一對の接合用バンプをメッキによって形成することにより、生産性が向上し、基板の外形あるいは合せ穴を基準とすることができるので、高い位置精度が得られる。「一對の接合用バンプ」には、正負の極にそれぞれ1つのバンプを用いた場合に限らず、一方の極に1つ、他方の極に複数のバンプを用いた場合や、正負の極にそれぞれ複数のバンプを用いた場合が含まれる。

【0007】本発明は、上記目的を達成するため、絶縁基材の裏面に正負一對の裏リード、および前記絶縁基材の表面に前記一對の裏リードに一對の金属接続部により接続された正負一對の表リードを複数組有する集合基板を形成し、前記集合基板の複数組の前記一對の表リードに一對の接合用バンプをそれぞれ形成し、1つの面側に正負一對の電極を有する複数のLEDチップを、前記一對の電極を前記一對のバンプに接続して前記集合基板上に搭載し、前記複数のLEDチップを搭載された前記集合基板をLEDチップ毎に分割することを特徴とするLED

4

LED光源の製造方法を提供する。

【0008】

【発明の実施の形態】図1および図2は、本発明の実施の形態に係るLED光源を適用したLED面発光装置を示し、図1(a)は正面図、同図(b)は側面図、同図(c)は底面図、図2(a)は図1(a)のA部拡大図、図2(b)は図1(a)のB部拡大図、図2(c)はLEDチップの底面図である。

【0009】このLED面発光装置1は、表面2aおよび裏面2bに配線パターンが形成されたマザー基板2を有する。

【0010】このマザー基板2の表面2aには、図1(a)、(b)、および図2に示すように、サブマウント基板3を介して列状に配置された複数のLEDチップ4と、各LEDチップ4を封止する透明樹脂からなる複数の封止部材5と、マザー基板2の表面2aに配置されたスペーサ6と、LEDチップ4からの光を図1(a)において上方に反射するリフレクタ7と、内部を保護するとともに、LEDチップ4からの光を透過させる透明板8と、この装置1全体を保護するカバー9とを設けている。なお、サブマウント基板3、LEDチップ4および封止部材5によりLED光源を構成する。

【0011】このマザー基板2の裏面2bには、図1(c)に示すように、後述するLED駆動回路を構成する複数の抵抗素子10と、1つのツェナーダイオード11とを設けている。なお、図1において左側の12A、13Aと右側の12B、13Bは複数のLEDチップ4に電圧を印加するための接続端子であり、本装置1組付け時の配線引き出し方向に応じて左右の接続端子12A、13A、12B、13Bを使い分けるようにしている。

【0012】複数のLEDチップ4は、図1(a)に示すように、マザー基板2上にサブマウント基板3を介して縦方向に4個、横方向に12個の計48個配列されている。LEDチップ4は、フリップチップボンディング(FCB)によってサブマウント基板3に搭載されている。LEDチップ4は、透明の絶縁体であるサファイア基板上に窒化ガリウム等の半導体層を積層させ、図2に示すように、チップ4の下面4bとなる半導体層の表面に正電極40aと負電極40bを形成したものであり、チップ4の上面4aとなるサファイア基板の底面が光出射面となる。本実施の形態では、例えば、380nmの波長を有する紫外線を発光するGa_{0.5}N(窒化ガリウム)系の半導体を用いる。

【0013】マザー基板2は、基材の表面2aおよび裏面2bに配線パターンを印刷したものである。マザー基板2の基材は、サブマウント基板3の実装の際に、変形や強度低下を起こさないように耐熱性と低膨張係数を有し、さらに、LEDチップ4の発光波長(例えば、紫外線の波長)に対して高い光反射率と低い光吸収率を有す

る材料が好ましい。このような材料として、例えば、紫外線に対して42%程度の高い光反射率を有するガラスエポキシ樹脂等を用いることができる。また、マザー基板2よりもLEDチップ4に近いサブマウント基板3の基材として、紫外線に対して42%程度の高い光反射率を有する材料を用いた場合には、それよりも光反射率の低い10~22%程度のガラスエポキシ樹脂等を用いてもよい。この他に、放熱性と強度を重視する場合は、アルミニウム等の金属、アルミナ等のセラミックスを用いることもできる。

【0014】封止部材5は、LEDチップ4を所定の外形形状で封止することにより、LEDチップ4が発する光に所定の配光特性を付与するものである。また、封止部材5は、LEDチップ4の発光波長に対して耐久性を有する透明樹脂材料が好ましい。例えば、紫外線に対してはシリコンを用いることができる。

【0015】スペーサ6は、図2(a)に示すように、複数のLEDチップ4が配置される位置に複数の円形の開口6aが設けられ、例えば、シリコンゴム等の弾性を有する部材から形成されている。スペーサ6は、カバー9によってリフレクタ7とマザー基板2との間で挟持されているので、装置1内部が密閉され、装置1内部に対する防塵・防湿を図ることができる。また、このような構成により、透明板8等の各部品の厚み方向のばらつきあるいは誤差を吸収し、装置1全体のゆがみやソリ等を防止あるいは緩和することができ、さらに、ガラスからなる透明板8をカバー9とともに保護することができる。

【0016】リフレクタ7は、LEDチップ4に対応する位置に開口7a有し、その開口の7a周囲は図2(a)に示すようにコーン状の反射面7bを形成している。このリフレクタ7は、湿度・熱・紫外線等に対する十分な耐候性を有し、LEDチップ4の発光波長に対して高い光反射率を有する材料から形成するのが好ましい。本実施の形態では、図1(a)、(b)および図2(a)に示すように、銅、ステンレス等からなる金属板を絞り加工してLEDチップ4に対応する位置に開口7a有し、その開口の7a周囲はコーン状の反射面7bを形成し、表面に高い光反射率を有するような処理、例えば、光沢Niメッキを施している。このようなリフレクタ7を設けることにより、チップ4から透明体8に向う方向(前方向)に対する光量を更に向上させることができる。なお、リフレクタ7は、樹脂に金属をメッキあるいは蒸着してもよい。これにより、全体が金属の物に比べての軽量化が図れる。また、リフレクタ7は、樹脂等の基体に薄い金属カバーを接合したのもでもよい。これにより、金属カバーを薄い金属板の絞り加工等の工法によって形成することが可能であるため、材料コスト・加工コストが安く、全体が金属の物に比べての軽量化も図れる。

【0017】透明板8は、LEDチップ4の発光波長(例えば紫外線の波長)に対して高透過率を有する材料から形成されていることが好ましい。このような材料として、例えば、ガラスを用いることができる。

【0018】カバー9は、図1(a)に示すように、4つのLEDチップ4に対応した細長形状を有する複数の開口9aを有する。カバー9は、耐候性と機械的強度を有する材料から形成することが好ましい。このような材料として、例えば、銅材、アルミニウム等の金属板を用いることができる。

【0019】抵抗素子10は、図1(a)、(c)に示すように、マザー基板2の裏面2bであって各LEDチップ4から均等に距離が離れるようにLEDチップ4の間に配置されている。これにより、抵抗素子10の発熱がLEDチップ4の出力低下・信頼性低下に影響しないようになり高信頼性が得られる。抵抗素子10は、各LEDチップ4のVF差による電流のばらつきを緩和するとともに、各LEDチップ4への電流の制限を行うものである。

【0020】図3は、LEDチップ4のFCBによる搭載構造を示す。サブマウント基板3は、基材31を有し、この基材31の表面31aに、同図(a)に示すように、正リード32aおよび負リード32bを形成し、基材31の裏面31bに、同図(e)に示すように、正リード33aおよび負リード33bを形成し、表面31aの正リード32aおよび負リード32bと裏面31bの正リード33aおよび負リード33bとをスルーホールめっき34a、34bによって各々接続し、表面31aの正リード32aに正極側であることを表示する正極性表示部35を延在して形成している。また、表面31aの正リード32aおよび負リード32bには、表面31aのLEDチップ4が搭載される領域以外の領域に電圧を印加してLEDチップ4の特性を検査するための一対の三角形の検査用領域38a、38bを有する。これらのリード32a、32b、33a、33b、および正極性表示部35は、エッチング法等の通常の半導体製造技術における電極配線技術を使用して形成され、例えば、Cu+Ni等の下地金属層にAu等の金属めっき層を積層して形成される。また、基材31の表面31aの正リード32aおよび負リード32bの対角線上に、一対のAuからなる位置認識用メッキバンプ36a、36bを形成し、表面31aの正リード32aおよび負リード32bにAuからなる搭載用メッキバンプ37a、37bを各々形成している。搭載用メッキバンプ37a、37bは、同図(c)に示すように、LEDチップ4の搭載前は、超音波によるボンディングの際の超音波振動方向16に垂直な方向に長い楕円、長円等の形状を有しており、LEDチップ4の搭載後は、同図(d)に示すように、円形となるようにしている。これらのメッキバンプ36a、36b、37a、37bは、例えば、ホト

リソグラフィ法等によって一括形成される。搭載用メッキバンプ37a、37bを同図(c)に示すような形状とすることにより、ショートを防止しながら、接合面積を大きくして接合強度の向上を図ることができる。なお、表面31aのLEDチップ4が搭載される領域以外の領域は、一対の搭載用メッキバンプ37a、37bを介してLEDチップ4が搭載されたサブマウント基板3をハンドリングするための吸着面となる。

【0021】基材31は、LEDチップ4の実装の際に、変形や強度低下を起こさないように耐熱性と低膨張係数を有し、さらに、LEDチップ4の発光波長(例えば、紫外線の波長)に対して高い光反射率と低い光吸収率を有する材料が好ましい。このような材料として、例えば、紫外線に対して42%程度の高い光反射率を有するガラスエポキシ樹脂等を用いることができる。この他に、要求される特性に応じて他の樹脂やセラミックス等の絶縁体を用いてもよい。

【0022】図4は、マザー基板2の表面2aの配線パターンを示す。配線パターン20は、エッチング法等の通常の半導体製造技術における電極配線技術を使用して形成され、例えば、Cu+Ni等の下地金属層にAu等の金属めっき層を積層して形成される。サブマウント基板3が搭載される位置には、同図(b)に示すように、サブマウント基板3の裏面31bの正リード33aおよび負リード33bがそれぞれ銀ペーストを介して接続される一対の接続領域20a、20bが形成されている。また、マザー基板2の表面2aのサブマウント基板3が搭載される以外のスペースの複数の個所(本実施の形態では3個所)に、同図(c)に示すように、テスト用の接続領域20a、20bが形成されている。

【0023】図5は、LED駆動回路を示す。このLED駆動回路は、同図に示すように、複数のLEDチップ4のアノードに接続された接続端子12と、複数のLEDチップ4に抵抗素子10を介して接続された複数のLEDチップ4と、複数のLEDチップ4のカソードに接続された接続端子13と、過電圧を防止するツェナーダイオード11とを備えている。なお、ツェナーダイオード11は、これに限定されず、アバランシェダイオード、その他のダイオードを用いることができる。

【0024】図6～図8は、本実施の形態の製造方法を示す。まず、多数個取り用サブマウント集合基板30を準備する(ST1)。すなわち、図6(a)、(b)、および図7(a)に示すように、サブマウント集合基板30の基材の表面に正リード32aおよび負リード32bを形成し、裏面に正リード33aおよび負リード33bを形成し、表面の正リード32aおよび負リード32bと裏面の正リード33aおよび負リード33bとをスルーホールめっき34a、34bによって各々接続する。次に、図7(b)に示すように、レジスト14を塗布し、同図(c)に示すように、穴15aを有するマス

ク15の上から紫外線(HV)を照射し、同図(d)に示すように、レジスト14に穴14aを形成する。次に、同図(e)に示すように、レジスト14の穴14a内に搭載用メッキバンプ37a、37bを形成する。このとき、同時に位置認識用メッキバンプ36a、36bも形成する。次に、同図(f)に示すように、レジスト14を除去する。このようにして基材にリード32a、32b、33a、33bとメッキバンプ36a、36b、37a、37bが形成されたサブマウント集合基板30が完成する。

【0025】次に、サブマウント集合基板30上にフリップチップとしてのLEDチップ4をフリップチップボンディングし、LEDチップ4を封止部材5によって封止し(ST2)、専用の検査装置によって各LEDチップ4の光量等の特性検査を行う(ST3)。このとき、不良のLEDチップ4にはマーキングを行う。次に、サブマウント集合基板30をLEDチップ4毎に分割して複数のサブマウント基板3を製作する(ST4)。

【0026】一方、複数のサブマウント基板3を搭載されるマザー基板2を準備する(ST10)。ここでは、マザー基板2の基材に配線パターン20が形成される。次に、マザー基板2に抵抗素子10、ツェナーダイオード11等の回路部品を実装する(ST11)。

【0027】次に、上記工程ST11で製作されたマザー基板2上に上記工程ST4で製作された複数のサブマウント基板3を搭載する(ST12)。LEDチップ4上にシリコンで封止する(ST13)。マザー基板2に、スペーサ6、リフレクタ7、透明板8およびカバー9を組み込んでLED面発光装置1を組み立て(ST14)、装置1全体の検査(ST15)で終了する。

【0028】上記実施の形態によれば、LEDチップ4がFCB実装されたサブマウント基板3は、多数個取り用サブマウント集合基板30上に多数のLEDチップ4をFCB実装し、それを分割することによって製作しているので、生産性が向上し、コスト低減を図ることができる。また、サブマウント集合基板30上に高密度で一括して多数のバンプを形成することにより、メッキバンプ工程を短縮化できるので、これによってもサブマウント基板3の製造コストを低減することができる。また、加熱以外に加圧等の他のストレスが加わるLEDチップ4のFCB実装をサブマウント基板3に対して行っているため、マザー基板2への搭載部品やマザー基板2の材質の選択の自由度が大きくなる。また、サブマウント集合基板30のサイズを統一することにより、FCB実装用の高精度な治具を統一することができる。また、サブマウント基板3をマザー基板2に実装しているため、汎用のハンドリングマシンの使用が可能となり、ハンドリングし易くなる。また、バンプをメッキによって形成することにより、生産性が向上し、サブマウント基板3の外形(あるいは合せ穴)を基準とすることができるの

で、高い位置精度が得られる。また、超音波振動により搭載用メッキバンプ37a、37bとLEDチップ4を接合すると、搭載用メッキバンプ37a、37bは、超音波振動方向に長くなるが、予めその分を考慮して超音波振動方向に垂直な方向に長い形状とすることにより、短絡を防止することが可能となる。また、サブマウント基板3を小型化してLEDチップサイズに限りなく近づけた場合には、IC等と言うチップサイズパッケージ(CSP)製作が可能になる。また、フリップチップボンダという特殊で高価な設備類がない工程でも、マウンター・ダイボンダー等の一般設備による利用が可能になる。また、形状・形態などの都合からフリップチップボンダーとその周辺治具類との関連で、直接搭載することが困難な実装パッケージへの応用も可能になる。また、サブマウント基板3の表面31aにLEDチップ4が搭載されたサブマウント基板3をハンドリングするための吸着面を有しているため、モールドレスでのハンドリング(後工程のダイスボンド等)が可能になる。また、ダイスボンド・マウント後での樹脂封止が可能であるので、シリコン系の非常に柔らかく機械でのハンドリングが困難な樹脂による直接モールドが可能になる。また、ケース9、リフレクタ7などの形状や、サブマウント基板3のスペースにとらわれない形状での樹脂封止ができる。また、特性検査を集合状態で行うことができるため、検査工数の低減も可能である。また、GaN系のLEDチップを多数個使用したLED面発光装置においてFCB方式のベアチップ実装を行っているため、発光効率の向上を図ることができる。また、マザー基板2およびサブマウント基板3は、搭載するLEDチップ4の発光波長に対して、光反射率が高く、かつ光吸収率の少ない材料を使用しているため、発光効率が高くなり、低電力化が図れる。また、LED駆動回路の入力側にツェナーダイオード11を設けているため、GaN系LEDチップ4の静電耐圧が低いことによる静電破壊を防ぐことができる。また、光量テストを含む特性検査を行った後、マザー基板2上にLEDチップ4がFCB実装されたサブマウント基板3を実装できるので、予め単体での選別が容易になるため、面発光装置1としての光量ムラを緩和するための選別搭載が可能になり、リペアが不要になる。また、マザー基板2上にLEDチップ4がFCB実装されたサブマウント基板3を実装した後に封止部材5をモールド形成しているため、実装後にその封止部材5の形状や材質を決定することか可能となるため、その形状や材質の選択性が拡がり、希望の配光特性が実現しやすくなる。また、本面発光装置1は、全体がカバー9により保護されているため、信頼性・機械的強度を確保することができる。

【0029】なお、本発明は、基板上にFCB実装されたLEDチップからリード線あるいはリードフレーム等を導出するとともに、LEDチップを封止部材により封

止した単一のLEDランプに適用してもよい。また、複数のLEDチップをマトリクス状に配列し、複数のLEDチップを画像信号に応じて選択的に点灯させる画像表示装置に適用してもよい。

【0030】

【発明の効果】以上説明した通り、本発明のLED光源およびその製造方法によれば、複数のLEDチップからの光は、電極が設けられていない光出射面から出射されるので、発光効率の向上を図ることができる。また、一対の接合用バンプをメッキによって形成しているため、生産性が向上し、高い位置精度が得られる。また、LEDチップが搭載された基板をハンドリングした後に封止部材を設けることができるため、封止部材の形状や材質の自由度が高くなる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係るLED光源を適用したLED面発光装置を示し、(a)は正面図、(b)は側面図、(c)は底面図である。

【図2】(a)は図1(a)のA部拡大図、(b)は図1(a)のB部拡大図、(c)はLEDチップの底面図である。

【図3】本実施の形態のFCB構造を示し、(a)はLEDチップが搭載されたサブマウント基板の表面図、(b)は断面図、(c)、(d)はLEDチップ搭載用バンプの形状を示す図、(e)はサブマウント基板の裏面図である。

【図4】(a)はマザー基板の表面図、(b)は(a)のD部拡大図、(c)は(a)のE部拡大図である。

【図5】本実施の形態のLED駆動回路を示す図

【図6】(a)、(b)は本実施の形態のサブマウント基板の製造工程を示す図である。

【図7】(a)～(f)は本実施の形態のサブマウント基板の製造工程を示す図である。

【図8】本実施の形態のLED面発光装置の製造工程を示す図である。

【図9】従来のLED光源を示す断面図である。

【符号の説明】

- 1 LED面発光装置
- 2 マザー基板
- 2a 表面
- 2b 裏面
- 3 サブマウント基板
- 4 LEDチップ
- 4a 正電極
- 4b 負電極
- 5 封止部材
- 6 スペース
- 6a 開口
- 7 リフレクタ
- 7a 開口

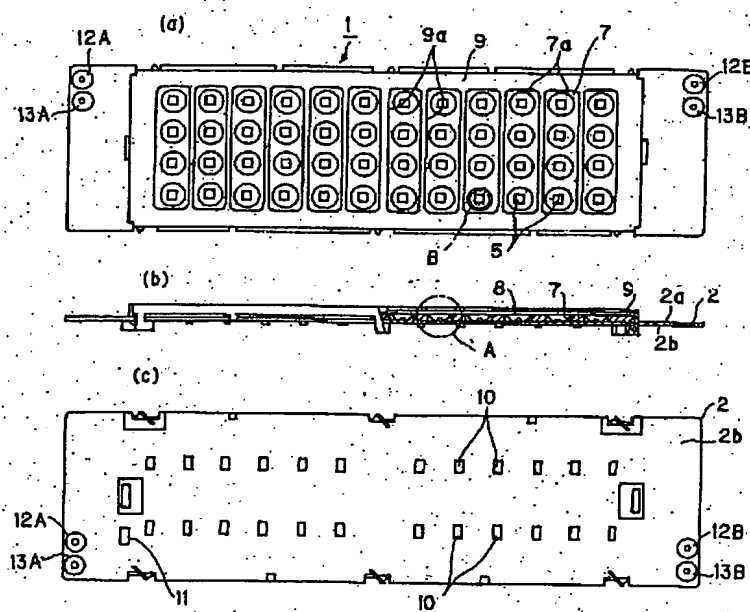
11

12

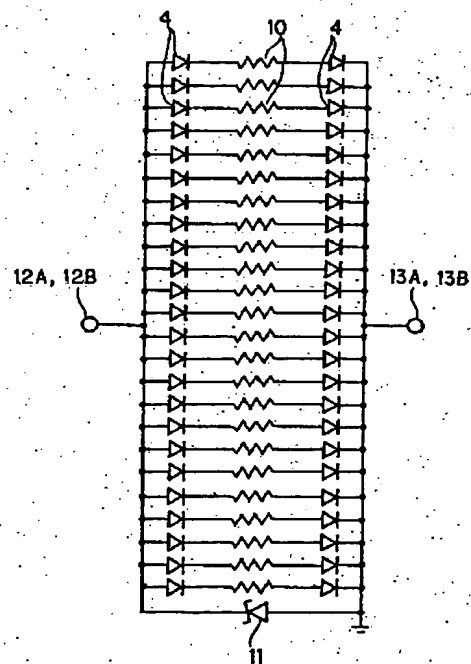
- 7b 反射面
- 8 透明板
- 9 カバー
- 9a 開口
- 10 抵抗素子
- 11 ツェナーダイオード
- 12A, 12B, 13A, 13B 接続端子
- 14 レジスト
- 14a 穴
- 15 マスク
- 15a 穴
- 20 配線パターン
- 20a, 20b 接続領域
- 30 多数個取り用サブマウント集合基板
- 31a 表面
- 31b 裏面
- 32a 正リード
- 32b 負リード
- 33a 正リード
- 33b 負リード

- 34a, 34b スルーホールめっき
- 35 正極性表示部
- 36a, 36b 位置認識用メッキバンプ
- 37a, 37b 搭載用メッキバンプ
- 38a, 38b 検査用領域
- 40a 正電極
- 40b 負電極
- 100 基板
- 101 基材
- 101a 表面
- 101b 側面
- 101c 裏面
- 110A, 110B リード
- 120a, 120b バンプ
- 130 LEDチップ
- 130a 上面
- 130b 下面
- 131 反射層
- 140 透明樹脂
- 20 150 アンダーフィル樹脂

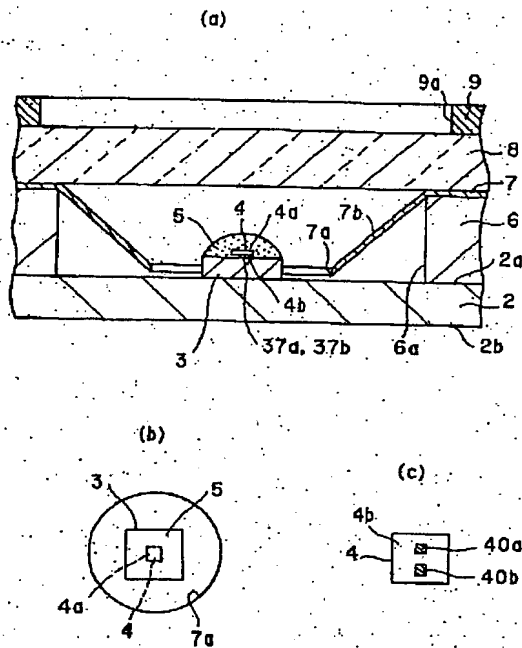
【図1】



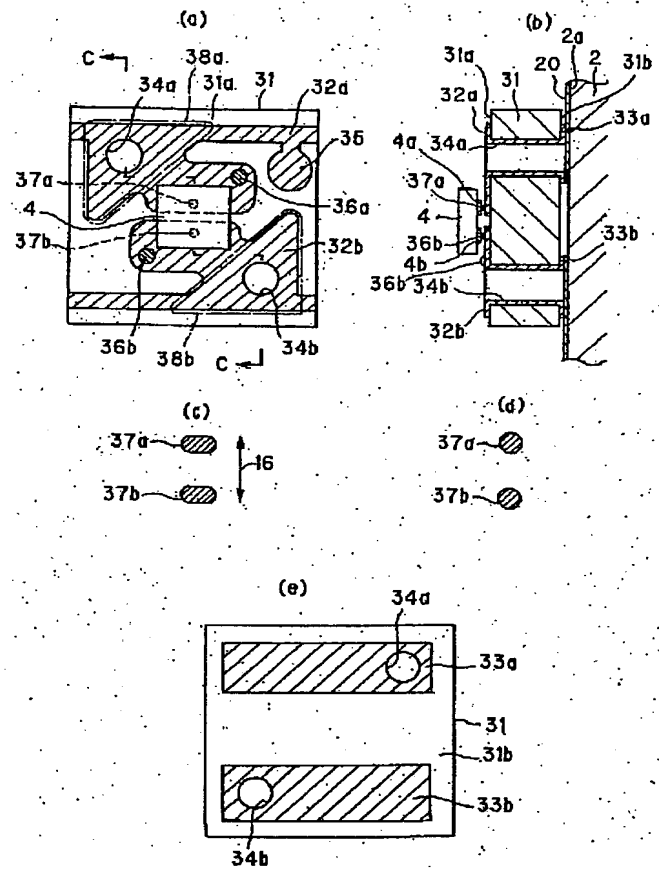
【図5】



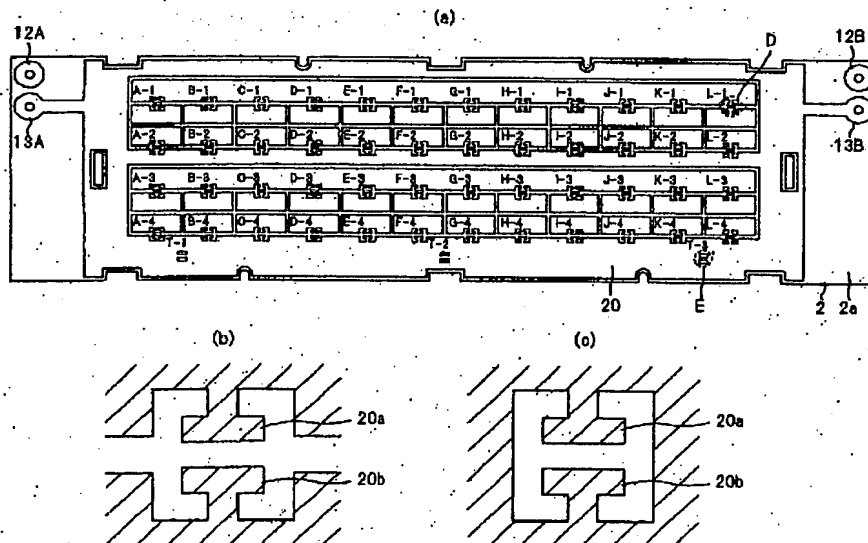
【図2】



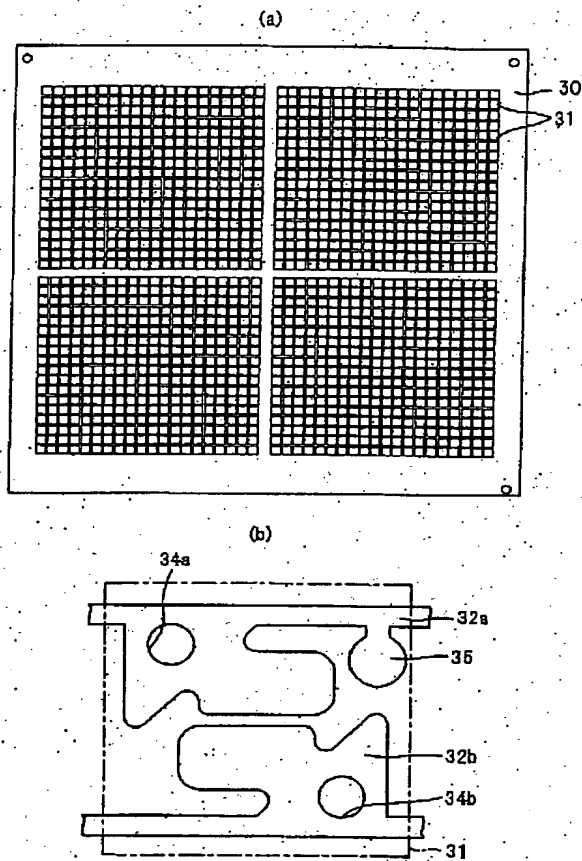
【図3】



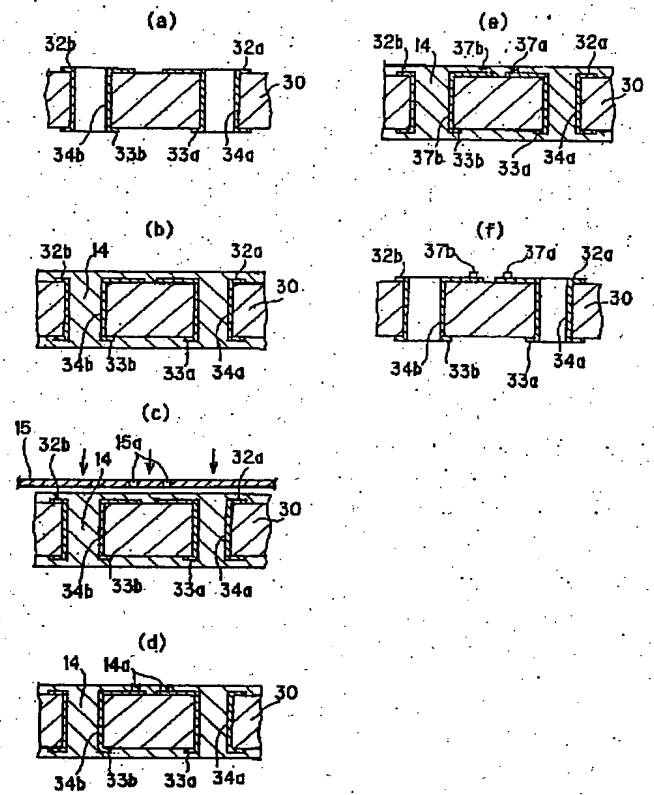
【図4】



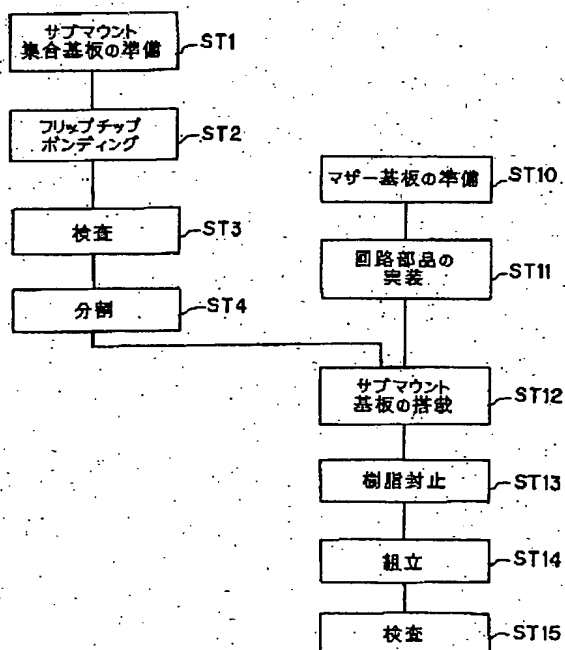
【図6】



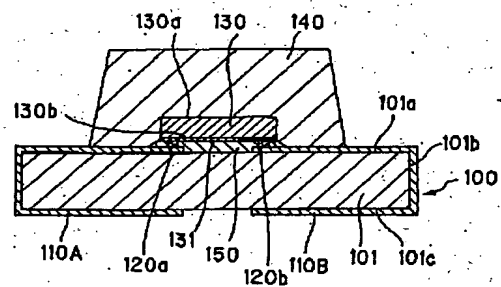
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 手島 聖貴
東京都練馬区東大泉四丁目26番11号 株式
会社光波内
(72)発明者 三溝 宏
東京都練馬区東大泉四丁目26番11号 株式
会社光波内
(72)発明者 黒山 俊宣
愛知県西春日井郡春日町大字落合字長畑1
番地 豊田合成株式会社内

(72)発明者 石田 卓也
神奈川県横須賀市池田町4丁目4番地1号
関東化成工業株式会社内
(72)発明者 柳澤 英夫
神奈川県横須賀市池田町4丁目4番地1号
関東化成工業株式会社内
(72)発明者 菊川 祐介
神奈川県横須賀市池田町4丁目4番地1号
関東化成工業株式会社内

Fターム(参考) 5F041 AA03 AA42 CB15 DA09 DA41
DA78
5F044 KK01 KK17

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] the Light Emitting Diode light source with which this invention carried the Light Emitting Diode (Light Emitting Diode : light emitting diode) chip on the substrate, and its manufacture method -- being related -- especially -- luminous efficiency -- high -- productivity -- excelling -- highly precise -- closure -- it is related with the Light Emitting Diode light source with high configuration of a member and flexibility of the quality of the material, and its manufacture method

[0002]

[Description of the Prior Art] There are some which are shown in JP,11-168235,A as the conventional Light Emitting Diode light source.

[0003] Drawing 9 shows the Light Emitting Diode light source. This Light Emitting Diode light source has the Light Emitting Diode chip 130 for which the substrate manufacture process was connected to the substrate 100 for Light Emitting Diode loading by which the leads 110A and 110B of a positive/negative couple were formed on the base material 101, and the leads 110A and 110B of a couple through the bumps 120a and 120b of a couple who consist of gold formed separately, solder, etc. at another process, the transparent resin 140 which closes the Light Emitting Diode chip 130, and the under-filling resin 150. The leads 110A and 110B of a couple are extended and formed in rear-face 101c through side 101b from surface 101a of a base material 101. The reflecting layer 131 and the electrode of a positive/negative couple which is not illustrated are formed in upper surface 130a and undersurface 130b of an opposite side from which the Light Emitting Diode chip 130 serves as an optical outgoing radiation side, and the electrode of a couple is connected to the leads 110A and 110B of a couple through the bumps 120a and 120b of a couple. Moreover, when it mounts the substrate 100 for Light Emitting Diode loading in which the Light Emitting Diode chip 130 was carried on a main substrate, in having adsorbed upper surface 130a of the Light Emitting Diode chip 130, from there being a possibility that Bumps 120a and 120b may exfoliate, the flat upper surface of the transparent resin 140 which has a certain amount of degree of hardness was adsorbed, and is handled. According to such composition, since the electrode is not prepared in the optical outgoing radiation side of the Light Emitting Diode chip 130, improvement in luminous efficiency can be aimed at.

[0004]

[Problem(s) to be Solved by the Invention] However, according to the conventional Light Emitting Diode light source, a bump makes thin lines, such as gold and solder, spherical, and since she has positioned on the basis of a lead pattern in case productivity, such as carrying out pressure weldings one by one, and being formed, is bad and forms a ball bump by the bump bonder, position precision cannot take her out easily due to whom of the edge of a lead pattern, a pattern gap, etc. Moreover, in order to have a certain amount of [in order to handle the substrate for Light Emitting Diode loading in which the Light Emitting Diode chip was carried] degree of hardness and to have to form beforehand the transparent resin 140 with the flat upper surface, the configuration and the quality of the material of a transparent resin are restricted.

[0005] Therefore, luminous efficiency is high, and is excellent in productivity, and the purpose of this invention has it in offering the highly precise Light Emitting Diode light source and its

manufacture method. moreover, other purposes of this invention -- closure -- it is in offering the Light Emitting Diode light source with high configuration of a member and flexibility of the quality of the material, and its manufacture method

[0006]

[Means for Solving the Problem] The substrate which has the back lead of the positive/negative couple formed in the rear face of an insulating base material, and the front lead of the positive/negative couple connected to the back lead of the aforementioned couple by the metal connection of a couple on the front face of the aforementioned insulating base material in order that this invention may attain the above-mentioned purpose, Have the electrode of a positive/negative couple in the field side which counters the aforementioned substrate, and it has the Light Emitting Diode chip for which the electrode of the aforementioned couple was connected to the front lead of the aforementioned couple of the aforementioned substrate through the bump for junction of a couple. The bump for junction of the aforementioned couple offers the Light Emitting Diode light source characterized by being formed on the front lead of the aforementioned couple of plating. According to the above-mentioned composition, outgoing radiation of the light from two or more Light Emitting Diode chips is carried out from the optical outgoing radiation side which an electrode prepares and is not ***** Moreover, since productivity can improve and it can be based on the appearance or guide hole of a substrate by forming the bump for junction of a couple by plating, a high position precision is acquired. Not only when one bump is used for the pole of positive/negative, respectively, but the case where two or more bumps are used for one pole on the pole of one and another side, and the case where two or more bumps are used for the pole of positive/negative, respectively are included in "the bump for junction of a couple."

[0007] this invention at the rear face of an insulating base material in order to attain the above-mentioned purpose The back lead of a positive/negative couple, And the set substrate which has two or more sets of front leads of the positive/negative couple connected to the back lead of the aforementioned couple by the metal connection of a couple is formed in the front face of the aforementioned insulating base material. The bump for junction of a couple is formed in the front lead of two or more sets of aforementioned couples of the aforementioned set substrate, respectively. Connect the electrode of the aforementioned couple to the bump of the aforementioned couple, and two or more Light Emitting Diode chips which have the electrode of a positive/negative couple in an one field side are carried on the aforementioned set substrate. The manufacture method of the Light Emitting Diode light source characterized by dividing the aforementioned set substrate in which two or more aforementioned Light Emitting Diode chips were carried for every Light Emitting Diode chip is offered.

[0008]

[Embodiments of the Invention] Drawing 1 and drawing 2 show the Light Emitting Diode side luminescence equipment which applied the Light Emitting Diode light source concerning the gestalt of operation of this invention, and, for a side elevation and this drawing (c), a bottom plan view and drawing 2 (a) are [drawing 1 (a) / front view and this drawing (b) / the B section enlarged view of drawing 1 (a) and drawing 2 (c) of the A section enlarged view of drawing 1 (a) and drawing 2 (b)] the bottom plan views of a Light Emitting Diode chip.

[0009] This Light Emitting Diode side luminescence equipment 1 has the mother substrate 2 by which the circuit pattern was formed in surface 2a and rear-face 2b.

[0010] In surface 2a of this mother substrate 2, as shown in drawing 1 (a), (b), and drawing 2 Two or more Light Emitting Diode chips 4 arranged through the sub mounting substrate 3 at the seriate, two or more closure which consists of a transparent resin which closes each Light Emitting Diode chip 4 -- with a member 5 The spacer 6 arranged at surface 2a of the mother substrate 2, the reflector 7 which reflects the light from the Light Emitting Diode chip 4 up in drawing 1 (a), the transparent board 8 which makes the light from the Light Emitting Diode chip 4 penetrate while protecting the interior, and the covering 9 which protects this equipment 1 whole are formed. in addition, the sub mounting substrate 3, the Light Emitting Diode chip 4, and closure -- a member 5 constitutes the Light Emitting Diode light source

[0011] As shown in drawing 1 (c), two or more resistance elements 10 which constitute the Light Emitting Diode drive circuit mentioned later, and one zener diode 11 are provided in rear-face 2b of

this mother substrate 2. In addition, 12B and 13B 12A, 13A, and on the right-hand side of left-hand side are an end-connection child for impressing voltage to two or more Light Emitting Diode chips 4, and it is made to use the end-connection children 12A, 13A, 12B, and 13B on either side properly according to the direction of a wiring drawer at the time of this equipment 1 attachment in drawing 1.

[0012] As two or more Light Emitting Diode chips 4 are shown in drawing 1 (a), on the mother substrate 2, through the sub mounting substrate 3, four pieces are arranged by lengthwise and a total of 12 individuals [48] is arranged by the longitudinal direction. The Light Emitting Diode chip 4 is carried in the sub mounting substrate 3 by flip CHIMPU bonding (FCB). The Light Emitting Diode chip 4 carries out the laminating of the semiconductor layers, such as a gallium nitride, on the silicon on sapphire which is a transparent insulator, and forms positive-electrode 40a and negative-electrode 40b in the front face of the semiconductor layer set to inferior-surface-of-tongue 4b of a chip 4 as shown in drawing 2, and the base of silicon on sapphire used as upper surface 4a of a chip 4 turns into an optical outgoing radiation side. With the gestalt of this operation, the semiconductor of the GaN (gallium nitride) system which emits light in the ultraviolet rays which have the wavelength of 380nm, for example is used.

[0013] The mother substrate 2 prints a circuit pattern to surface 2a and rear-face 2b of a base material. The base material of the mother substrate 2 has a desirable material which has thermal resistance and a low expansion coefficient so that neither deformation nor an on-the-strength fall may be caused, and has a high rate of a light reflex, and a rate of a low optical absorption further to the luminescence wavelength (for example, wavelength of ultraviolet rays) of the Light Emitting Diode chip 4 in the case of mounting of the sub mounting substrate 3. The glass epoxy resin which has about 42% of high rate of a light reflex to ultraviolet rays as such a material can be used.

Moreover, when the material which has about 42% of high rate of a light reflex to ultraviolet rays as a base material of the sub mounting substrate 3 near the Light Emitting Diode chip 4 rather than the mother substrate 2 is used, you may use the glass epoxy resin of about 10 - 22% of lows of the rate of a light reflex etc. rather than it. In addition, when thinking thermolysis nature and intensity as important, ceramics, such as metals, such as aluminum, and an alumina, can also be used.

[0014] closure -- a member 5 gives a predetermined luminous-intensity-distribution property to the light which the Light Emitting Diode chip 4 emits by closing the Light Emitting Diode chip 4 in a predetermined appearance configuration moreover, closure -- a member 5 has a desirable transparent resin material which has endurance to the luminescence wavelength of the Light Emitting Diode chip 4 For example, silicone can be used to ultraviolet rays.

[0015] The spacer 6 is formed from the member which two or more circular opening 6a is prepared in the position where two or more Light Emitting Diode chips 4 are arranged, for example, has the elasticity of silicone rubber etc., as shown in drawing 2 (a). Since the spacer 6 is pinched between the reflector 7 and the mother substrate 2 by covering 9, the equipment 1 interior is sealed and the protection against dust and moisture proof to the equipment 1 interior can be aimed at. Moreover, by such composition, dispersion or the error of the thickness direction of transparent board 8 grade can be absorbed, distortion, a camber, etc. of the equipment 1 whole can be prevented or eased, and the transparent board 8 which consists of glass can be further protected with covering 9. [of each part article]

[0016] It opening 7a Has a reflector 7 in the position corresponding to the Light Emitting Diode chip 4, and the circumference of 7a of the opening forms cone-like reflector 7b, as shown in drawing 2 (a). As for this reflector 7, it is desirable to form from the material which has sufficient weatherability to humidity, heat, ultraviolet rays, etc., and has a high rate of a light reflex to the luminescence wavelength of the Light Emitting Diode chip 4. With the gestalt of this operation, as shown in drawing 1 (a), (b), and drawing 2 (a), spinning of the metal plate which consists of copper, Indanthrene loess, etc. was carried out, and it opening 7a Had in the position corresponding to the Light Emitting Diode chip 4, and the circumference of 7a of the opening formed cone-like reflector 7b, and has performed processing which has a high rate of a light reflex on a front face, for example, gloss nickel plating. By forming such a reflector 7, the quantity of light to the direction of the other side (front) can be further raised from a chip 4 to the transparent body 8. In addition, a reflector 7 may plate or deposit a metal to a resin. Thereby, lightweight-ization of [whole / a metaled object]

can be attained. Moreover, what joined thin metal covering to bases, such as a resin, is sufficient as a reflector 7. Thereby, since it is possible to form metal covering by methods of construction, such as spinning of a thin metal plate, material cost and processing cost are cheap, and the whole can also attain lightweight-ization in comparison with a metaled object.

[0017] As for the transparent board 8, it is desirable to be formed from the material which has high permeability to the luminescence wavelength (for example, wavelength of ultraviolet rays) of the Light Emitting Diode chip 4. Glass can be used as such a material.

[0018] Covering 9 has two or more opening 9a which has the Sai chief configuration corresponding to four Light Emitting Diode chips 4, as shown in drawing 1 (a). As for covering 9, it is desirable to form from the material which has weatherability and a mechanical strength. Metal plates, such as steel materials and aluminum, can be used as such a material.

[0019] As shown in drawing 1 (a) and (c), a resistance element 10 is rear-face 2b of the mother substrate 2, and it is arranged between the Light Emitting Diode chips 4 so that distance may separate from each Light Emitting Diode chip 4 equally. Thereby, generation of heat of a resistance element 10 ceases to influence the loss of power and a reliability fall of the Light Emitting Diode chip 4, and high-reliability is acquired. A resistance element 10 restricts the current to each Light Emitting Diode chip 4 while easing dispersion in the current by VF difference of each Light Emitting Diode chip 4.

[0020] Drawing 3 shows the loading structure by FCB of the Light Emitting Diode chip 4. As the sub mounting substrate 3 has a base material 31 and shows it in this drawing (a) at surface 31a of this base material 31. As right lead 32a and negative lead 32b are formed and it is shown in this drawing (e) at rear-face 31b of a base material 31. Form right lead 33a and negative lead 33b, and right lead 33a of right lead 32a and negative lead 32b of surface 31a, and rear-face 31b and negative lead 33b are respectively connected with the through hole plating 34a and 34b. The straight polarity display 35 which indicates that it is a positive-electrode side is extended and formed in right lead 32 of surface 31a. Moreover, in right lead 32a and negative lead 32b of surface 31a, it has the checking fields 38a and 38b of the triangle of the couple for impressing voltage to fields other than the field in which the Light Emitting Diode chip 4 of surface 31a is carried, and inspecting the property of the Light Emitting Diode chip 4. These leads 32a, 32b, 33a, and 33b and the straight polarity display 35 are formed using the electrode wiring technology in the usual semiconductor manufacturing technologies, such as the etching method, for example, carry out the laminating of the metal plating layers, such as Au, to ground metal layers, such as Cu+nickel, and are formed. Moreover, the plating bumps 36a and 36b for position recognition who consist of Au of a couple are formed on the diagonal line of right lead 32a and negative lead 32b of surface 31a of a base material 31, and the plating bumps 37a and 37b for loading set to right lead 32a and negative lead 32b of surface 31a from Au are formed respectively. It has configurations, such as a long ellipse and an ellipse, before loading of the Light Emitting Diode chip 4 in the direction perpendicular to the direction 16 of supersonic oscillation in the case of the bonding by the ultrasonic wave, and the plating bumps 37a and 37b for loading are made circular [after loading of the Light Emitting Diode chip 4], as shown in this drawing (d), as shown in this drawing (c). Package formation of these plating bumps 36a, 36b, 37a, and 37b is carried out for example, by the photolithography method etc. Preventing short-circuit by considering as a configuration as shows the plating bumps 37a and 37b for loading in this drawing (c), a plane-of-composition product can be enlarged and improvement in a bonding strength can be aimed at. In addition, fields other than the field in which the Light Emitting Diode chip 4 of surface 31a is carried serve as an adsorption side for handling the sub mounting substrate 3 in which the Light Emitting Diode chip 4 was carried through the plating bumps 37a and 37b for loading of a couple.

[0021] A base material 31 has a desirable material which has thermal resistance and a low expansion coefficient so that neither deformation nor an on-the-strength fall may be caused, and has a high rate of a light reflex, and a rate of a low optical absorption further to the luminescence wavelength (for example, wavelength of ultraviolet rays) of the Light Emitting Diode chip 4 in the case of mounting of the Light Emitting Diode chip 4. The glass epoxy resin which has about 42% of high rate of a light reflex to ultraviolet rays as such a material can be used. In addition, according to the property demanded, you may use insulators, such as other resins and ceramics.

[0022] Drawing 4 shows the circuit pattern of surface 2a of the mother substrate 2. A circuit pattern 20 is formed using the electrode wiring technology in the usual semiconductor manufacturing technologies, such as the etching method, for example, carries out the laminating of the metal plating layers, such as Au, to ground metal layers, such as Cu+nickel, and is formed. As shown in this drawing (b), the connection fields 20a and 20b of a couple where right lead 33a of rear-face 31b of the sub mounting substrate 3 and negative lead 33b are connected through a silver paste, respectively are formed in the position in which the sub mounting substrate 3 is carried. Moreover, as shown in this drawing (c), the connection fields 20a and 20b for a test are formed in two or more parts (the gestalt of this operation three places) of the space except the sub mounting substrate 3 of surface 2a of the mother substrate 2 being carried.

[0023] Drawing 5 shows a Light Emitting Diode drive circuit. This Light Emitting Diode drive circuit is equipped with the end-connection child 13 connected to the cathode of the end-connection child 12 connected to the anode of two or more Light Emitting Diode chips 4, two or more Light Emitting Diode chips 4 connected to two or more Light Emitting Diode chips 4 through the resistance element 10, and two or more Light Emitting Diode chips 4, and the zener diode 11 which prevents an overvoltage as shown in this drawing. In addition, zener diode 11 is not limited to this, but an avalanche diode and other diodes can be used for it.

[0024] Drawing 6 - drawing 8 show the manufacture method of the gestalt this operation. first -- a large number -- taking -- business -- the sub mounting set substrate 30 is prepared (ST1) That is, as shown in drawing 6 (a), (b), and drawing 7 (a), right lead 32a and negative lead 32b are formed in the front face of the base material of the sub mounting set substrate 30, right lead 33a and negative lead 33b are formed in a rear face, and surface right lead 32a, negative lead 32b and right lead 33a on the back, and negative lead 33b are respectively connected with the through hole plating 34a and 34b. Next, as a resist 14 is applied and it is shown in this drawing (c), the upper shell ultraviolet rays (hyperventilation) of the mask 15 which has hole 15a are irradiated, and as shown in drawing 7 (b), as shown in this drawing (d), hole 14a is formed in a resist 14. Next, as shown in this drawing (e), the plating bumps 37a and 37b for loading are formed in hole 14a of a resist 14. At this time, the plating bumps 36a and 36b for position recognition also form simultaneously. Next, a resist 14 is removed as shown in this drawing (f). Thus, the sub mounting set substrate 30 by which Leads 32a, 32b, 33a, and 33b and the plating bumps 36a, 36b, 37a, and 37b were formed in the base material is completed.

[0025] next, the sub mounting set substrate 30 top -- the Light Emitting Diode chip 4 as a flip chip -- flip chip bonding -- carrying out -- the Light Emitting Diode chip 4 -- closure -- it closes by the member 5 (ST2), and characteristic inspections, such as the quantity of light of each Light Emitting Diode chip 4, are conducted with the test equipment of exclusive use (ST3) At this time, marking is performed for the poor Light Emitting Diode chip 4. Next, the sub mounting set substrate 30 is divided every Light Emitting Diode chip 4, and two or more sub mounting substrates 3 are manufactured (ST4).

[0026] On the other hand, the mother substrate 2 in which two or more sub mounting substrates 3 are carried is prepared (ST10). Here, a circuit pattern 20 is formed in the base material of the mother substrate 2. Next, the passive circuit elements of a resistance element 10 and zener diode 11 grade are mounted in the mother substrate 2 (ST11).

[0027] Next, two or more sub mounting substrates 3 manufactured at the above-mentioned process ST 4 are carried on the mother substrate 2 manufactured at the above-mentioned process ST 11 (ST12). It closes with silicon on the Light Emitting Diode chip 4 (ST13). A spacer 6, a reflector 7, the transparent board 8, and covering 9 are built into the mother substrate 2, Light Emitting Diode side luminescence equipment 1 is assembled (ST14), and it ends by inspection (ST15) of the equipment 1 whole.

[0028] the sub mounting substrate 3 by which FCB mounting of the Light Emitting Diode chip 4 was carried out according to the gestalt of the above-mentioned implementation -- a large number -- taking -- business -- since it is manufacturing by carrying out FCB mounting of much Light Emitting Diode chips 4, and dividing it on the sub mounting set substrate 30, productivity can improve and cost reduction can be planned Moreover, since a plating bump process can be shortened by bundling up by high density and forming many bumps on the sub mounting set substrate 30, the

manufacturing cost of the sub mounting substrate 3 can be reduced also by this. Moreover, since FCB mounting of the Light Emitting Diode chip 4 with which other stress, such as pressurization, is added is performed to the sub mounting substrate 3 in addition to heating, the degree of option of the quality of the material of the loading parts to the mother substrate 2 or the mother substrate 2 becomes large. Moreover, the highly precise fixture for FCB mounting can be unified by unifying the size of the sub mounting set substrate 30. Moreover, since the sub mounting substrate 3 is mounted in the mother substrate 2, it becomes usable [a general-purpose handling machine], and becomes easy to handle. Moreover, since productivity can improve and it can be based on the appearance (or guide hole) of the sub mounting substrate 3 by forming a bump by plating, a high position precision is acquired. Moreover, if the Light Emitting Diode chip 4 is joined with the plating bumps 37a and 37b for loading by supersonic oscillation, the plating bumps 37a and 37b for loading will become possible [preventing a short circuit] by considering as a long configuration in the direction perpendicular to the direction of supersonic oscillation in consideration of the part beforehand, although it becomes long in the direction of supersonic oscillation. Moreover, when the sub mounting substrate 3 is miniaturized and it brings close to a Light Emitting Diode chip size infinite, the chip-size package (CSP) manufacture said by IC etc. is attained. Moreover, use by common facility of a mounter die bonder etc. is attained also at a process without special and expensive facilities called a flip chip bonder. Moreover, application of mounting PAKKEJIHE with it difficult [to carry directly in the relation of a flip chip bonder and its circumference fixtures from the convenience of a configuration, a gestalt, etc.] is also attained. Moreover, since it has the adsorption side for handling the sub mounting substrate 3 by which the Light Emitting Diode chip 4 was carried in surface 31a of the sub mounting substrate 3, handling (dice bond of a back process etc.) with a mall dress is attained. Moreover, since the resin seal after dice bond mounting is possible, the direct mould by the very soft resin with difficult handling with a machine of a silicone system becomes possible. Moreover, the resin seal in configurations, such as a case 9 and a reflector 7, and the configuration which is not caught by the space of the sub mounting substrate 3 is made. Moreover, since a characteristic inspection can be conducted by the state of aggregation, reduction of the number of inspection men is also possible. Moreover, since bare chip mounting of an FCB method is performed in the Light Emitting Diode side luminescence equipment which used much Light Emitting Diode chips of a GaN system, improvement in luminous efficiency can be aimed at. Moreover, since the rate of a light reflex is using material with few rates of an optical absorption highly to the luminescence wavelength of the Light Emitting Diode chip 4 to carry, luminous efficiency becomes high and the mother substrate 2 and the sub mounting substrate 3 can attain low power-ization. Moreover, since zener diode 11 is formed in the input side of a Light Emitting Diode drive circuit, electrostatic pressure-proofing of the GaN system Light Emitting Diode chip 4 can prevent the electrostatic discharge by the low thing. Moreover, since the sub mounting substrate 3 by which FCB mounting of the Light Emitting Diode chip 4 was carried out can be mounted on the mother substrate 2 after conducting a characteristic inspection including a quantity of light test and sorting with a simple substance becomes easy beforehand, sorting loading for easing the quantity of light nonuniformity as field luminescence equipment 1 is attained, and repair becomes unnecessary. after [moreover,] mounting the sub mounting substrate 3 by which FCB mounting of the Light Emitting Diode chip 4 was carried out on the mother substrate 2 -- closure -- since mould formation of the member 5 is carried out -- after mounting -- the closure -- determining the configuration and the quality of the material of a member 5, or since it becomes possible, the selectivity of the configuration and quality of the material spreads, and it becomes easy to realize the luminous-intensity-distribution property of hope Moreover, since the whole is protected by covering 9, **** luminescence equipment 1 can secure reliability and a mechanical strength.

[0029] In addition, this invention may apply a Light Emitting Diode chip to the single Light Emitting Diode lamp closed by the closure member while deriving lead wire or a leadframe from the Light Emitting Diode chip by which FCB mounting was carried out on the substrate. Moreover, two or more Light Emitting Diode chips may be arranged in the shape of a matrix, and you may apply to the image display equipment which makes two or more Light Emitting Diode chips turn on alternatively according to a picture signal.

[0030]

[Effect of the Invention] Since outgoing radiation of the light from two or more Light Emitting Diode chips is carried out from the optical outgoing radiation side which an electrode prepares and is not *****, according to the Light Emitting Diode light source and its manufacture method of this invention, it can aim at improvement in luminous efficiency, as explained above. Moreover, since the bump for junction of a couple is formed by plating, productivity improves and a high position precision is acquired. moreover -- since a closure member can be prepared after handling the substrate in which the Light Emitting Diode chip was carried -- closure -- the configuration of a member and the flexibility of the quality of the material become high

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the Light Emitting Diode light source characterized by forming the bump for junction of the aforementioned couple on the front lead of the aforementioned couple of plating by having the following. The substrate which has the back lead of the positive/negative couple formed in the rear face of an insulating base material, and the front lead of the positive/negative couple connected to the back lead of the aforementioned couple by the metal connection of a couple on the front face of the aforementioned insulating base material. The Light Emitting Diode chip for which it has the electrode of a positive/negative couple in the field side which counters the aforementioned substrate, and the electrode of the aforementioned couple was connected to the front lead of the aforementioned couple of the aforementioned substrate through the bump for junction of a couple.

[Claim 2] The bump for junction of the aforementioned couple is the Light Emitting Diode light source of composition of having a long ellipse form or a long ellipse in the direction perpendicular to the direction in which the bump for junction of the aforementioned couple was arranged according to claim 1.

[Claim 3] The bump for junction of the aforementioned couple is the Light Emitting Diode light source of composition of having the ellipse form or ellipse in the case of junction by supersonic oscillation long in a direction perpendicular to the direction of supersonic oscillation according to claim 1.

[Claim 4] The front lead of the aforementioned couple is the Light Emitting Diode light source of composition of that the bump for automatic recognition who has a position relation to the bump for junction of the aforementioned couple was formed by the package of plating with the bump for junction of the aforementioned couple according to claim 1.

[Claim 5] The front lead of the aforementioned couple is the Light Emitting Diode light source of composition of having the checking field of the couple for impressing voltage to fields other than the field in which the aforementioned Light Emitting Diode chip of the aforementioned front face is carried, and inspecting the property of the aforementioned Light Emitting Diode chip according to claim 1.

[Claim 6] The aforementioned Light Emitting Diode chip is the Light Emitting Diode light source of composition of having been closed by the closure member which consists of a transparent resin which gives a predetermined luminous-intensity-distribution property to the light which the aforementioned Light Emitting Diode chip emits with a predetermined appearance configuration according to claim 1.

[Claim 7] The aforementioned substrate is the Light Emitting Diode light source of composition of that have a square configuration corresponding to [have a square configuration and / member / closure / aforementioned] the square configuration of the aforementioned substrate in the base, and a point has a spherical according to claim 6.

[Claim 8] The metal connection of the aforementioned couple is the Light Emitting Diode light source of composition of that it is the through hole plating of a couple according to claim 1.

[Claim 9] The aforementioned substrate is the Light Emitting Diode light source of composition of having an adsorption side for handling the aforementioned substrate by which the aforementioned Light Emitting Diode chip was carried in fields other than the field in which the aforementioned Light Emitting Diode chip of the aforementioned front face is carried through the bump for junction

of the aforementioned couple according to claim 1.

[Claim 10] The set substrate which has the back lead of a positive/negative couple and two or more sets of front leads of the positive/negative couple connected to the back lead of the aforementioned couple by the metal connection of a couple on the front face of the aforementioned insulating base material is formed in the rear face of an insulating base material. The bump for junction of a couple is formed in the front lead of two or more sets of aforementioned couples of the aforementioned set substrate, respectively. The manufacture method of the Light Emitting Diode light source characterized by dividing the aforementioned set substrate by which the electrode of the aforementioned couple was connected to the bump of the aforementioned couple, two or more Light Emitting Diode chips which have the electrode of a positive/negative couple were carried on the aforementioned set substrate, and two or more aforementioned Light Emitting Diode chips were carried in the one field side for every Light Emitting Diode chip.

[Claim 11] Formation of the bump for junction of two or more aforementioned sets of couples is the manufacture method of the Light Emitting Diode light source composition of forming by plating according to claim 10.

[Claim 12] Formation of the bump for junction of two or more sets of aforementioned couples to the aforementioned set substrate is the manufacture method of the Light Emitting Diode light source composition of including formation of the bump for automatic recognition who has a position relation to the bump for junction of the aforementioned couple according to claim 10.

[Claim 13] Formation of the bump for junction of two or more aforementioned sets of couples and the bump for the aforementioned automatic recognition is the manufacture method of the Light Emitting Diode light source composition of forming collectively by plating according to claim 12.

[Claim 14] Loading of a up to [the aforementioned set substrate of two or more aforementioned Light Emitting Diode chips] is the manufacture method of the Light Emitting Diode light source composition of including the process which closes two or more aforementioned Light Emitting Diode chips by two or more closure members which consist of a transparent resin which gives a predetermined luminous-intensity-distribution property to the light which the aforementioned Light Emitting Diode chip emits with a predetermined appearance configuration according to claim 10.

[Translation done.]

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)